

授課教師：姚嘉瑜

Instructor: Chia-Yu Yao

課程名稱：鎖相迴路電路設計

Course Title : Design of Phase-Locked Loop Circuit

2026/5/6

課程代號： EE5024701 Course Code	必選修：選修/半學年 Required/Elective: Elective/Half Yr.
學分數： 3 Credits	先修課程： Prerequisites
節次教室： W6(T2-510) W7(T2-510) W8(T2-510) Time/Location	
專業核心能力： Core Professional Competencies	
課程網址： Course Website	
課程宗旨： 經由課堂講解、作業及小專題，使學生了解鎖相迴路電路各個單元之原理與設計方法，奠定其未來就業之基礎 Course Objectives	
課程大綱： 1. 壓控振盪器。 Outline of Lectures 2. 鎖相迴路原理。 3. 整數型頻率合成器設計。 4. 分數型頻率合成器設計。 5. 延遲鎖定迴路設計。 1. Voltage controlled oscillators (VCOs) 2. Principle of phase-locked loops (PLLs) 3. Frequency synthesizers - integer-n type 4. Frequency synthesizers - fractional-n type 5. Delay-locked loops (DLLs)	
授課方式： 講授 Lecture：75% Method of Instruction 分組討論 Group discussion：0% 案例研討 Case study：0% 操做練習 Practical exercises：25% 講授 Lecture：%	
教科書： 課程講義 Textbooks	
參考書目： Behzad Razavi, "Design of Analog CMOS Integrated Circuits", McGraw-Hill. References	
修課須知： Notice	
評量方式： 期中考 50%，期末專題 50% Grading	
備註說明： Notes	