

國立台灣科技大學 114學年 第2學期 課程大綱

Spring 2026 NTUST Course Outline

授課教師：陳勇志

Instructor: Yung-Chih Chen

課程名稱：邏輯合成與驗證

Course Title : Logic Synthesis and Verification

2026/5/6

| | |
|--|---|
| <p>課程代號： EE5424701 Course Code</p> <p>學分數： 3 Credits</p> | <p>必選修：選修/半學年 Required/Elective: Elective/Half Yr.</p> <p>先修課程： Prerequisites</p> |
| <p>節次教室： M2(IB-607) M3(IB-607) M4(IB-607) Time/Location</p> | |
| <p>專業核心能力： ■電機領域之專業知識。 Core Professional Competencies ■資料蒐集、研讀、整理、策劃、設計、系統整合及執行專題研究之能力 ■創新思考及獨立解決問題之能力</p> | |
| <p>課程網址： 國立臺灣科技大學數位學習平台 Course Website</p> | |
| <p>課程宗旨： 邏輯合成是將高階硬體描述轉換成最佳化邏輯電路的過程，其是電子設計自動化前段流程中的重要步驟。本課程除了介紹傳統邏輯合成的重要技術，更著重於新穎的邏輯合成與驗證技術，以及相關新興主題。此外，學生將學會如何使用ABC: A System for Sequential Synthesis and Verification工具來實作邏輯合成與驗證，以及如何在此工具平台上開發新功能。 Course Objectives</p> | |
| <p>課程大綱： (1). 邏輯合成與驗證概論 Outline of Lectures (2). 布林函數表示法 (3). 傳統邏輯合成 i. 二階層邏輯簡化 ii. 多階層邏輯合成 (4). 新穎邏輯合成與驗證技術 (5). 新興技術之邏輯合成</p> | |
| <p>授課方式： 講授 Lecture : 80% Method of Instruction 分組討論 Group discussion : 10% 案例研討 Case study : 10% 操做練習 Practical exercises : 0% 講授 Lecture : %</p> | |
| <p>教科書： Electronic Design Automation: Synthesis, Verification, and Test / Textbooks Laung-Terng Wang, Yao-Wen Chang, and Kwang-Ting Cheng/ MK, 2009</p> | |
| <p>參考書目： Logic Synthesis and Verification Algorithms / Gary D. Hachtel and Fabio References Somenzi / Springer / 2006 Logic Synthesis and Verification / Soha Hassoun and Tsutomu Sasao / Springer / 2002 Advanced Techniques in Logic Synthesis, Optimizations and Applications / Sunil P. Khatri and Kanupriya Gulati / Springer / 2010 New Data Structures and Algorithms for Logic Synthesis and Verification / Luca Gaetano Amaru / Springer / 2016</p> | |
| <p>修課須知： Notice</p> | |

評量方式： Homework 30%
Grading Midterm Exam 30%
Final Exam 30%
Literature Survey 10%

備註說明： Digital Logic Design
Notes